



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0099597
Application Number

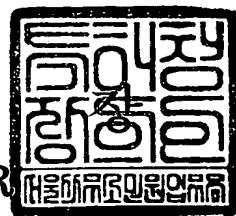
출원년월일 : 2003년 12월 30일
Date of Application DEC 30, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 06 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.12.30
【발명의 명칭】	반도체 소자의 내부전압 발생회로
【발명의 영문명칭】	INTERNAL VOLTAGE GENERATION CIRCUIT IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	도창호
【성명의 영문표기】	DO, Chang Ho
【주민등록번호】	700103-1696421
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101-1406
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 향 429,000 원
【합계】	458,000 원

102-030099597

출력 일자: 2004/2/11

【첨부서류】

1. 요약서·명세서(도면)_1통



1020030099597

출력 일자: 2004/2/11

【요약서】

【요약】

본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 소자의 내부전압 발생회로에 관한 것이다. 본 발명은 풀업 드라이버에 흐르는 암전류에 의한 내부전압의 전위 상승을 억제할 수 있는 반도체 메모리 소자의 내부전압 발생회로를 제공하는데 목적이 있다. 본 발명은 내부전원 발생회로의 출력단인 내부전압단의 전위가 예정된 타겟 레벨 이상으로 상승하는 구간에서 내부전압단을 방전시킬 수 있는 방전 구동부를 추가하였다. 방전 구동부는 직접 내부전압단의 전위에 응답하여 상기 구간에서만 방전을 수행하는 방식과, 내부전압단의 전위가 타겟 레벨 이상으로 상승하는 전원전압 레벨을 감지하여 방전을 수행하는 방식으로 구현할 수 있다.

【대표도】

도 2

【색인어】

내부전압, 기준전압, 암전류, 전압 분배, 방전부



030099597

출력 일자: 2004/2/11

【명세서】

【발명의 명칭】

반도체 소자의 내부전압 발생회로{INTERNAL VOLTAGE GENERATION CIRCUIT IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체 메모리 소자의 내부전압 발생회로를 나타낸 도면.

도 2는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 내부전압 발생회로를 나타낸 도면.

도 3은 상기 도 1 및 도 2에 따른 내부전압 시뮬레이션 결과를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

20 : 비교기

30 : 전압분배기

40 : 방전 드라이버

50 : 제1 방전 구동부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 소자의 내부전압 발생회로에 관한 것이다.
- <10> 일반적으로, 반도체 칩이 고집적화 되면서 칩 내의 셀 사이즈(cell size)는 점점 더 작아지고 있으며, 이렇게 작아진 셀 사이즈로 인해 동작전압(operating voltage) 또한 더욱 낮아지고 있다. 대부분의 반도체 칩은 내부전압을 발생시키기 위한 내부전압 발생회로가 칩 내에 탑재되어 칩 내부회로의 동작에 필요한 전압을 자체적으로 공급하도록 하고 있다. 이러한 내부 전압 발생회로를 설계함에 있어서, 안정한 레벨의 내부전압을 일정하게 공급하는 것이 주된 관심 사항이라 할 수 있다.
- <11> 도 1은 종래기술에 따른 반도체 메모리 소자의 내부전압 발생회로를 나타낸 도면이다.
- <12> 도 1을 참조하면, 종래기술에 따른 내부전압 발생회로는, 출력단으로부터 피드백된 내부 전압(V_{int})과 기준전압(V_{REF})의 전위를 비교하기 위한 비교기(10)와, 전원전압단(V_{DD})과 출력 단 사이에 접속되며 비교기(10)의 출력신호(drv_{onb})를 게이트 입력으로 하는 풀업 PMOS 트랜지스터($PM1$)를 구비한다. 여기서, 비교기(10)는 일반적인 전류 미러형(Current Mirror) 차동증폭기로 구현하는 것이 바람직하다.
- <13> 비교기(10)는 기준전압(V_{REF})과 내부전압(V_{int})의 전압 레벨을 비교하여 내부전압(V_{int})이 기준전압(V_{REF})보다 낮은 경우에는 논리레벨 로우의 신호를 출력한다. 이에 따라, 풀업 PMOS 트랜지스터($MP1$)가 턴온되어 내부전압(V_{int})의 전압 레벨이 상승하게 된다.



1020030099597

출력 일자: 2004/2/11

- <14> 한편, 내부전압(Vint)의 전압 레벨이 기준전압(VREF)보다 상승하는 경우에는 비교기(10)의 출력신호(drv_onb)가 논리레벨 하이가 되어 풀업 PMOS 트랜지스터(MP1)가 턴오프되어 내부전압(Vint)의 전압 레벨의 상승이 멈추게 된다.
- <15> 이러한 내부전압 발생회로로부터 생성된 내부전압(Vint)은 반도체 소자의 내부회로(100)의 소오스 파워로 사용되는데, 내부회로(100)가 동작하면 파워 소모가 발생하면서 내부전압(Vint)과 기준전압(VREF)의 레벨이 같아질 때 까지 상기와 같은 비교 과정을 반복한다.
- <16> 이와 같은 내부회로(100)의 파워 소모는 반도체 소자가 고속화 될수록 점점 증가하고 있으며, 이에 따라 안정적인 내부전압(Vint)을 생성하기 위해서는 드라이버(풀업 PMOS 트랜지스터(MP1))의 사이즈가 커야 한다. 한편, 동작전원이 낮아지면서 MOS 트랜지스터의 문턱전압은 점점 낮아지고 있다.
- <17> 이러한 상황에서 큰 사이즈의 풀업 PMOS 트랜지스터(MP1)에서 발생하는 암전류(sub-threshold current)에 의해 내부전압(Vint)이 전원전압(VDD)을 따라 상승하는 문제점이 있다.
- <18> 일반적으로, MOS 트랜지스터에 흐르는 암전류(I_{sub})는 하기의 수학식 1과 같이 정의되고 있다.
- <19> 【수학식 1】 $I_{sub} = I_0 \cdot \exp[q \cdot V_{gs}/nkT]$
- <20> $I_0 = I_{sub0}(W/L)$

<21> 여기서, q 는 전자의 전하량, V_{gs} 는 MOS 트랜지스터의 게이트-소오스 전압, n 은 양의 정수, k 는 온도상수, T 는 절대온도를 나타낸다. 또한, I_{sub0} 는 공정적으로 얻어지는 전류값, W 는 MOS 트랜지스터의 폭, L 은 MOS 트랜지스터의 길이를 각각 나타낸다.

<22> 상기 수학식 1은 암전류(I_{sub})가 MOS 트랜지스터의 폭에 선형적으로 비례하고, V_{gs} 에 지수적으로 비례함을 방증하고 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 풀업 드라이버에 흐르는 암전류에 의한 내부전압의 전위 상승을 억제할 수 있는 반도체 메모리 소자의 내부전압 발생회로를 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<24> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 출력단으로부터 피드백된 내부전압과 기준전압의 전위를 비교하기 위한 비교수단; 상기 비교수단의 출력신호에 응답하여 상기 출력단을 풀업 구동하기 위한 풀업 구동 수단; 및 상기 내부전압의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 방전 구동 수단을 구비하는 반도체 메모리 소자의 내부전압 발생회로가 제공된다.

<25> 바람직하게, 상기 방전 구동 수단은, 상기 내부전압의 전위에 응답하여 상기 내부전압의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 제1 방전 구동

부와, 전원전압의 전압 레벨에 응답하여 상기 출력단을 방전 구동하기 위한 제2 방전 구동부를 구비한다.

<26> 또한, 본 발명의 다른 측면에 따르면, 출력단으로부터 피드백된 내부전압과 기준전압의 전위를 비교하기 위한 비교수단; 상기 비교수단의 출력신호에 응답하여 상기 출력단을 풀업 구동하기 위한 풀업 구동 수단; 및 상기 내부전압의 전위에 응답하여 내부전압의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 제1 방전 구동 수단을 구비하는 반도체 메모리 소자의 내부전압 발생회로가 제공된다.

<27> 바람직하게, 전원전압의 전압 레벨에 응답하여 상기 출력단을 방전 구동하기 위한 제2 방전 구동 수단을 더 구비한다.

<28> 바람직하게, 상기 제1 방전 구동 수단은 상기 출력단과 접지전압단 사이에 직렬로 연결된 다수의 능동 부하를 구비한다.

<29> 바람직하게, 상기 제1 방전 구동 수단은 상기 출력단과 접지전압단 사이에 직렬로 연결된 다수의 다이오드 접속된 NMOS 트랜지스터를 구비한다.

<30> 바람직하게, 상기 제2 방전 구동 수단은, 상기 전원전압을 일정 비율로 분배하여 방전 제어신호를 생성하기 위한 전압분배기와, 상기 방전 제어신호에 응답하여 상기 출력단을 방전 구동하기 위한 방전 드라이버를 구비한다.

<31> 바람직하게, 상기 전압분배기는 전원전압단과 상기 접지전압단 사이에 제공되는 제1 및 제2 저항을 구비한다.

<32> 바람직하게, 상기 방전 드라이버는 상기 출력단과 접지전압단 사이에 접속되며, 상기 방전 제어신호를 게이트 입력으로 하는 NMOS 트랜지스터를 구비한다.

- <33> 바람직하게, 상기 풀업 구동 수단은 전원전압단과 상기 출력단 사이에 접속되며, 상기 비교수단의 출력신호를 게이트 입력으로 하는 PMOS 트랜지스터를 구비한다.
- <34> 본 발명은 내부전원 발생회로의 출력단인 내부전압단의 전위가 예정된 타겟 레벨 이상으로 상승하는 구간에서 내부전압단을 방전시킬 수 있는 방전 구동부를 추가하였다. 방전 구동부는 직접 내부전압단의 전위에 응답하여 상기 구간에서만 방전을 수행하는 방식과, 내부전압단의 전위가 타겟 레벨 이상으로 상승하는 전원전압 레벨을 감지하여 방전을 수행하는 방식으로 구현할 수 있다.
- <35> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <36> 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 내부전압 발생회로를 나타낸 도면이다.
- <37> 도 3을 참조하면, 본 실시예에 따른 내부전압 발생회로는, 출력단으로부터 피드백된 내부전압(V_{int})과 기준전압(V_{REF})의 전위를 비교하기 위한 비교기(20)와, 전원전압단(V_{DD})과 출력단 사이에 접속되며 비교기(20)의 출력신호(drv_{onb})를 게이트 입력으로 하는 풀업 PMOS 트랜지스터($PM2$)와, 내부전압(V_{int})의 전위가 예정된 타겟 레벨 이상인 구간에서 출력단을 방전 구동하기 위한 방전 구동 블럭(30, 40, 50)을 구비한다.
- <38> 여기서, 비교기(20)는 일반적인 전류 미러형(Current Mirror) 차동증폭기로 구현하는 것이 바람직하다.

<39> 한편, 방전 구동 블럭(30, 40, 50)은 다시 내부전압(Vint)의 전위에 응답하여 내부전압의 전위가 예정된 타겟 레벨 이상인 구간에서 출력단을 방전 구동하기 위한 제1 방전 구동부(50)와, 전원전압(VDD)의 전압 레벨에 응답하여 출력단을 방전 구동하기 위한 제2 방전 구동부(30, 40)로 구분된다.

<40> 여기서, 제1 방전 구동부(50)는 출력단과 접지전압단(VSS) 사이에 직렬로 접속되며, 각각 다이오드 접속된 다수의 NMOS 트랜지스터(MN2, MN3, MN4)를 구비한다.

<41> 또한, 제2 방전 구동부(30, 40)는 전원전압(VDD)을 일정 비율로 분배하여 방전 제어신호(Va)를 생성하기 위한 전압분배기(30)와, 방전 제어신호(Va)에 응답하여 출력단을 방전 구동하기 위한 방전 드라이버(40)를 구비한다. 여기서, 전압분배기(30)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 직렬 접속된 제1 및 제2 저항(R1 및 R2)으로 구현할 수 있으며, 방전 드라이버(40)는 출력단과 접지전압단(VSS) 사이에 접속되며 방전 제어신호(Va)를 게이트 입력으로 하는 NMOS 트랜지스터(MN1)로 구현할 수 있다.

<42> 이하, 상기와 같이 구성된 본 실시예에 따른 내부전압 발생회로의 동작을 설명한다.

<43> 먼저, 비교기(20)는 기준전압(VREF)과 내부전압(Vint)의 전압 레벨을 비교하여 내부전압(Vint)이 기준전압(VREF)보다 낮은 경우에는 논리레벨 로우의 신호를 출력한다. 이에 따라, 풀업 PMOS 트랜지스터(MP2)가 턴온되어 내부전압(Vint)의 전압 레벨이 상승하게 된다.

<44> 한편, 내부전압(Vint)의 전압 레벨이 기준전압(VREF)보다 상승하는 경우에는 비교기(20)의 출력신호가 논리레벨 하이가 되어 풀업 PMOS 트랜지스터(MP2)가 턴오프되어 내부전압(Vint)의 전압 레벨의 상승이 멈추게 된다.

<45> 그러나, 실질적으로는 풀업 PMOS 트랜지스터(MP2)가 턴오프된 상태에서 흐르는 암전류에 의해 내부전압(Vint)의 전압 레벨이 상승하게 된다. 이때, 방전 구동 블럭(30, 40, 50)이 동작하여 내부전압(Vint)의 전압 레벨이 비정상적으로 상승하는 것을 방지한다.

<46> 이하, 방전 구동 블럭(30, 40, 50)의 동작을 살펴본다.

<47> 우선 제1 방전 구동부(50)의 동작을 살펴보면, 다이오드 접속된 NMOS 트랜지스터의 특성은 서로 연결된 게이트(또는 드레인)에 NMOS 트랜지스터의 문턱전압(Vtn) 이상의 전압이 걸리면 다이오드와 같이 턴온되고, NMOS 트랜지스터의 문턱전압(Vtn) 이하의 전압이 걸리면 턴오프되어 문턱전압값(Vtn)에 대응하는 유효 저항값을 가지게 된다. 따라서, 본 실시예와 같이 다이오드 접속된 NMOS 트랜지스터를 다수개 직렬 연결하게 되면, 출력단에 걸린 내부전압(Vint)의 전위가 $n \times Vtn$ (n은 직렬 연결된 다이오드 접속된 NMOS 트랜지스터의 수) 이상이면 모든 NMOS 트랜지스터가 턴온되어 출력단을 방전시키게 되며, 방전을 통해 내부전압(Vint)의 전위가 $n \times Vtn$ 아래로 떨어지면 모든 NMOS 트랜지스터가 턴오프되어 방전 구동이 중단된다.

<48> 그러므로, $n \times Vtn$ 값이 내부전압(Vint)의 타겟 레벨 이상이 되도록 직렬 연결된 다이오드 접속된 NMOS 트랜지스터의 수를 조절하면 별도의 제어부 없이도 내부전압(Vint)의 상승을 억제할 수 있다.

<49> 다음으로, 제2 방전 구동부(30, 40)의 동작을 살펴보면, 전압분배기(30)로부터 출력된 방전 제어신호(Va)는 하기의 수학식 2와 같이 정의된다.

<50> 【수학식 2】 $Va = (R2/(R1+R2)) \times VDD$

- <51> 즉, 방전 제어신호(V_a)는 전원전압(VDD) 레벨의 변화에 따라 선형적으로 변화하게 되며, 방전 제어신호(V_a)의 전위는 저항 R1 및 R2의 저항값 조절을 통해 조절이 가능하다. 이와 같은 방전 제어신호(V_a)를 NMOS 트랜지스터(MN1)의 게이트에 인가하면 내부전압(V_{int})이 타겟 레벨 이상으로 상승하는 전원전압(VDD) 영역에서 NMOS 트랜지스터(MN1)가 턴온되어 방전 구동이 일어나도록 할 수 있으며, 이에 따라 내부전압(V_{int})의 비정상적인 상승을 억제할 수 있다.
- <52> 반도체 메모리 소자의 제작 후 테스트 과정에서는 번-인 테스트(burn-in test)와 같이 전원전압(VDD) 레벨을 상승시키는 경우가 있다. 이때, 전원전압(VDD) 레벨을 따라 내부전압(V_{int})의 전위가 상승하게 되는데, NMOS 트랜지스터(MN1)가 포화영역에서 동작하도록 방전 제어신호(V_a)의 전위를 조절하면 내부전압(V_{int})의 전위 상승을 억제할 수 있다.
- <53> 한편, 노말 동작시와 같이 전원전압(VDD)의 레벨이 변화하지 않는 경우에도 테스트를 통해 측정된 암전류 만큼의 방전이 계속하여 일어나도록 방전 제어신호(V_a)의 전위를 조절하면 내부전압(V_{int})의 전위 상승을 억제할 수 있다.
- <54> 도 3은 상기 도 1 및 도 2에 따른 내부전압 시뮬레이션 결과를 나타낸 도면이다.
- <55> 도 3을 참조하면, 전원전압(VDD)의 레벨이 증가함에 따라 종래기술(도 1 참조)의 경우에 는 내부전압(V_{int_old})의 전위가 전원전압(VDD)를 따라 증가하는 반면, 본 실시예(도 2 참조)의 경우에는 내부전압(V_{int_new})의 전위가 타겟 레벨(1.6V)에서 더 이상 증가하지 않고 일정하게 유지됨을 확인할 수 있다.
- <56> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이

가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<57> 예컨대, 전술한 실시예에서는 제1 방전 구동부(50)를 직렬 연결된 3개의 다이오드 접속된 NMOS 트랜지스터로 구현하는 경우를 일례로 들어 설명하였으나, 내부전압(Vint)의 타겟 레벨 및 NMOS 트랜지스터의 문턱전압에 따라 NMOS 트랜지스터의 단수는 조절 가능하며, 다이오드 접속된 NMOS 트랜지스터를 다른 능동 부하 소자로 대체하는 경우에도 본 발명은 적용된다.

<58> 또한, 전술한 실시예에서는 제1 방전 구동부(50)와 제2 방전 구동부(30, 40)를 모두 적용하는 경우를 일례로 들어 설명하였으나, 둘 중 어느 하나만 적용하더라도 암전류에 의한 내부전압(Vint)의 상승을 억제할 수 있다.

【발명의 효과】

<59> 전술한 본 발명은 풀업 드라이버에 흐르는 암전류에 의한 내부전압의 전위 상승을 억제하여 안정된 레벨의 내부전압을 생성할 수 있으며, 이로 인하여 반도체 소자의 신뢰도 및 동작 특성을 개선하는 효과가 있다.

【특허청구범위】**【청구항 1】**

출력단으로부터 피드백된 내부전압과 기준전압의 전위를 비교하기 위한 비교수단;

상기 비교수단의 출력신호에 응답하여 상기 출력단을 풀업 구동하기 위한 풀업 구동 수단; 및

상기 내부전압의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 방전 구동 수단을 구비하는 반도체 메모리 소자의 내부전압 발생회로.

{

【청구항 2】

제1항에 있어서,

상기 방전 구동 수단은,

상기 내부전압의 전위에 응답하여 상기 내부전압단의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 제1 방전 구동부와,

전원전압의 전압 레벨에 응답하여 상기 출력단을 방전 구동하기 위한 제2 방전 구동부를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 3】

출력단으로부터 피드백된 내부전압과 기준전압의 전위를 비교하기 위한 비교수단;

상기 비교수단의 출력신호에 응답하여 상기 출력단을 풀업 구동하기 위한 풀업 구동 수단; 및

상기 내부전압의 전위에 응답하여 상기 내부전압단의 전위가 예정된 타겟 레벨 이상인 구간에서 상기 출력단을 방전 구동하기 위한 제1 방전 구동 수단
을 구비하는 반도체 메모리 소자의 내부전압 발생회로

【청구항 4】

제3항에 있어서,
전원전압의 전압 레벨에 응답하여 상기 출력단을 방전 구동하기 위한 제2 방전 구동 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 5】

제3항 또는 제4항에 있어서,
상기 제1 방전 구동 수단은 상기 출력단과 접지전압단 사이에 직렬로 연결된 다수의 능동 부하를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 6】

제5항에 있어서,
상기 제1 방전 구동 수단은 상기 출력단과 접지전압단 사이에 직렬로 연결된 다수의 다이오드 접속된 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 7】

제4항에 있어서,

상기 제2 방전 구동 수단은,

상기 전원전압을 일정 비율로 분배하여 방전 제어신호를 생성하기 위한 전압분배기와,

상기 방전 제어신호에 응답하여 상기 출력단을 방전 구동하기 위한 방전 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 8】

제7항에 있어서,

상기 전압분배기는 전원전압단과 상기 접지전압단 사이에 제공되는 제1 및 제2 저항을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 9】

제7항 또는 제8항에 있어서,

상기 방전 드라이버는 상기 출력단과 접지전압단 사이에 접속되며, 상기 방전 제어신호를 게이트 입력으로 하는 NMOS 트랜ジ스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【청구항 10】

제3항 또는 제4항에 있어서,

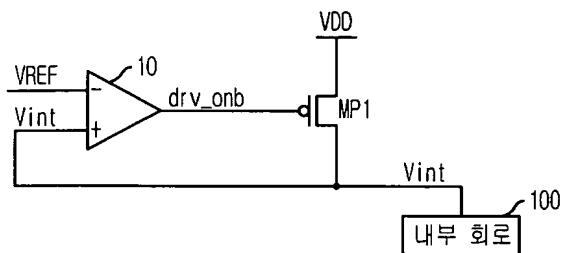
1020030099597

출력 일자: 2004/2/11

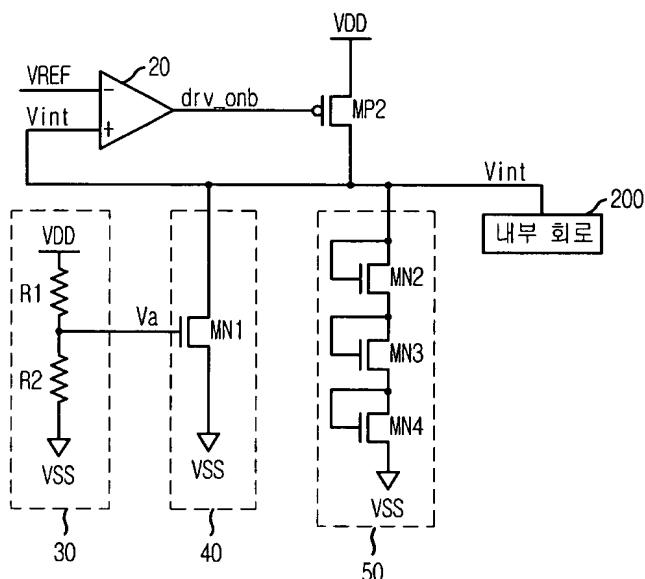
상기 풀업 구동 수단은 전원전압단과 상기 출력단 사이에 접속되며, 상기 비교수단의 출력신호를 게이트 입력으로 하는 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 내부전압 발생회로.

【도면】

【도 1】



【도 2】



【도 3】

전압(V)

